

⑤ Int. Cl.<sup>3</sup>G 06 F 9/46  
12/08

識別記号

3 4 0 F  
3 1 0 Z

庁内整理番号

8120-5B  
7232-5B

⑬ 公開 平成4年(1992)4月2日

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 キャッシュ制御方式

⑯ 特 願 平2-217823

⑰ 出 願 平2(1990)8月18日

⑱ 発 明 者 天 野 孝 弘 神奈川県大和市深見西4丁目2番49号 株式会社ビーエフ  
ユー大和工場内  
⑲ 出 願 人 株式会社ビーエフユー 石川県河北郡宇ノ気町宇野気ヌ98番地の2  
⑳ 代 理 人 弁理士 岡田 守弘

## 明 細 書

## 1. 発明の名称

キャッシュ制御方式

## 2. 特許請求の範囲

(1) タスクに対応づけてキャッシュを行うキャッシュ制御方式において、

メインメモリ(1)にロードしたタスクの領域(あるいは空間)毎にキャッシュを行うか否かを表すキャッシュ制御フラグ(2)をそれぞれ設け、

タスクのメインメモリ(1)へのロード時などに上記キャッシュ制御フラグ(2)をONあるいはOFFに設定し、

アクセス時に、当該アクセスがキャッシュ制御フラグ(2)のONのメインメモリ(1)の領域(あるいは空間)のときにキャッシュメモリ(4)に対してキャッシュ動作を行い、OFFのメインメモリ(1)の領域(あるいは空間)のときにキャッシュメモリ(4)に対するキャッシュ動作を抑制するように構成

したことを特徴とするキャッシュ制御方式。

(2) タスクに対応づけてキャッシュを行うキャッシュ制御方式において、

メインメモリ(1)にロードしたタスクの領域(あるいは空間)毎に、キャッシュメモリ(4)の各ウェイトに対応づけてキャッシュを行うか否かを表すキャッシュ制御フラグ(2)をそれぞれ設け、

タスクのメインメモリ(1)へのロード時などに上記キャッシュ制御フラグ(2)をONあるいはOFFに設定し、

アクセス時に、当該アクセスがキャッシュ制御フラグ(2)のいずれかがONのメインメモリ(1)の領域(あるいは空間)のときにキャッシュメモリ(4)の当該ONのウェイトに対してキャッシュ動作を行い、OFFのウェイトに対してキャッシュ動作を抑制するように構成したことを特徴とするキャッシュ制御方式。

## 3. 発明の詳細な説明

(概要)

タスクに対応づけてキャッシュを行うキャッシュ制御方式に関し、

タスクが使用する空間毎にキャッシュ制御フラグを設けてON/OFF設定し、リアルタイム処理などの高速処理の必要の高いタスクについてキャッシュメモリを優先的に使用し、高速処理可能にすることを目的とし、

メインメモリにロードしたタスクの領域（あるいは空間）毎にキャッシュを行うか否かを表すキャッシュ制御フラグをそれぞれ設け、タスクのメインメモリへのロード時などに上記キャッシュ制御フラグをONあるいはOFFに設定し、アクセス時に、当該アクセスがキャッシュ制御フラグのONのメインメモリの領域（あるいは空間）のときにキャッシュメモリに対してキャッシュ動作を行い、OFFのメインメモリの領域（あるいは空間）のときにキャッシュメモリに対するキャッシュ動作を抑止するように構成する。

〔産業上の利用分野〕

〔課題を解決するための手段〕

第1図および第2図を参照して課題を解決するための手段を説明する。

第1図において、メインメモリ1は、タスクなどをロードする領域（空間）である。

キャッシュ制御フラグ2は、メインメモリ1にロードしたタスクの領域（空間）毎にキャッシュを行うか否かを表すフラグである。

キャッシュメモリ4は、キャッシュを行うためのメモリである。

第2図において、メインメモリ1は、タスクなどをロードする領域（空間）である。

キャッシュ制御フラグ2は、メインメモリ1にロードしたタスクの領域（空間）毎に、キャッシュメモリ4の各ウエイに対応づけてキャッシュを行うか否かを表すフラグである。

キャッシュメモリ4は、キャッシュを行うためのメモリであって、並行してアクセス可能な複数のウエイから構成されるメモリである。

本発明は、タスクに対応づけてキャッシュを行うキャッシュ制御方式に関するものである。

〔従来の技術と発明が解決しようとする課題〕

マルチタスクシステムは、タイムなどによってある時間経過したときに割り込みによって、あるいはI/Oアクセス中などのCPUタイムを消費しないシーケンスが開始されたことによって、タスクを切り替える。このタスクの切り替えによって、メインメモリをアクセスする領域が代わり、時間的、空間的な局所性が損なわれ、キャッシュメモリに対するミスヒットが増大して結果的にリブレースが多発し、キャッシュによるシステムの性能向上が半減してしまうという問題があった。

本発明は、タスクが使用する空間毎にキャッシュ制御フラグを設けてON/OFF設定し、リアルタイム処理などの高速処理の必要の高いタスクについてキャッシュメモリを優先的に使用し、高速処理可能にすることを目的としている。

〔作用〕

本発明は、第1図に示すように、タスクのメインメモリ1へのロード時などにキャッシュ制御フラグ2をONあるいはOFFに設定し、アクセス時に、当該アクセスがキャッシュ制御フラグ2のONのメインメモリ1の領域（空間）のときにキャッシュメモリ4に対してキャッシュ動作を行い、OFFのメインメモリ1の領域（空間）のときにキャッシュメモリ4に対するキャッシュ動作を抑止する。また、第2図に示すように、タスクのメインメモリ1へのロード時などにキャッシュ制御フラグ2をONあるいはOFFに設定し、アクセス時に、当該アクセスがキャッシュ制御フラグ2のONのメインメモリ1の領域（空間）のときにキャッシュメモリ4のONのウエイに対してキャッシュ動作を行い、OFFのウエイに対してキャッシュ動作を抑止する。

従って、タスクが使用する領域（空間）毎にキャッシュ制御フラグ2を設けてON/OFF設定してキャッシュ動作を行う、抑止することにより、

リアルタイム処理などの高速処理の必要性の高いタスクについてキャッシュメモリ4を優先的に使用して高速処理を行うことが可能となる。

#### (実施例)

次に、第1図から第5図を用いて本発明の実施例の構成および動作を順次詳細に説明する。

第1図は、本発明の1実施例構成図を示す。これは、タスクをロードするメインメモリ1の領域(空間)に対応づけてキャッシュ制御フラグ2を設けた場合である。

第1図において、メインメモリ1は、OS(オペレーティングシステム)、タスクなどをロードする領域(仮想空間のうちの1つの空間)である。

キャッシュ制御フラグ2は、メインメモリ1にロードしたタスクの領域(空間)毎にキャッシュを行うか否かを表すフラグであって、ONのときにキャッシュを行い、OFFのときにキャッシュを抑制するためのフラグである。

キャッシュコントローラ3は、キャッシュメモ

りのものである。

第2図において、キャッシュ制御フラグ2は、メインメモリ1にロードしたタスクの領域(空間)について、キャッシュメモリ4のウェイトのいずれにキャッシュを行うか否かを表すフラグである。ONのウェイトのキャッシュメモリ4にキャッシュを行い、OFFのウェイトのキャッシュメモリ4にキャッシュを抑制するためのフラグである。

キャッシュコントローラ3は、キャッシュメモリ4を制御してキャッシュを行うものである。

次に、第3図を用いてキャッシュ制御フラグ2の設定について詳細に説明する。

第3図において、①は、タスク起動要求を行う。

②は、メインメモリ1へ割り当てロードする。

これは、タスクを第1図メインメモリ1の領域(あるいは空間)に割り当て、この割り当てた領域(空間)にロードする。

③は、優先レベル、高いか否かを判別する。これは、タスクの優先レベルが高いか否かを判別(例えばリアルタイム処理は高く、バッチ処理は

り4を制御してキャッシュを行うものである。例えばリード時にキャッシュメモリ4を構成するタグメモリを検索してヒットしたときにキャッシュメモリからリードしたデータをアクセス要求元に転送し、ミスヒットしたときにメインメモリ1の該当するアドレスからデータを読みだしてキャッシュメモリに格納すると共にアクセス要求元に転送したりするものである。

キャッシュメモリ4は、ヒット/ミスヒットを判別するタグメモリ、データを格納するメモリ(キャッシュメモリ)から構成されるものである。

I/O5は、各種入出力を行う入出力装置である。

CPU6は、メインメモリ1にロードされたプログラムをもとに各種制御を行うものである。

第2図は、本発明の他の実施例構成図を示す。これは、タスクをロードするメインメモリ1の領域(空間)について、キャッシュメモリ4のウェイトのいずれにキャッシュを行うか否かをキャッシュ制御フラグ2によって制御するようにした場合

低く判別)する。YESの場合(例えば優先レベルの高いリアルタイム処理の場合)には、④でロードした領域に対応する(ウェイト毎の)キャッシュ制御フラグ2をセットする。これは、第1図の場合には、タスクをロードしたメインメモリ1の領域(空間)のキャッシュ制御フラグ2をONにセットする。第2図の場合には、タスクをロードしたメインメモリ1の領域(空間)に対応する、キャッシュメモリ4の該当するウェイトのキャッシュ制御フラグ2をONにセットする。一方、NOの場合には、キャッシュ制御フラグ2をOFFのまま、即ちキャッシュを抑制したままにし、⑤を行う。

⑥は、タスクを起動する。

以上の処理によって、タスクをメインメモリ1にロードするときに、第1図構成の場合には優先度の高いタスクについてキャッシュ制御フラグ2をONにセットしてキャッシュを行うようにし、また、第2図構成の場合には優先度の高いタスクについて、キャッシュメモリ4の該当するウェイト

のキャッシュ制御フラグ2をONにセットしてキャッシュを行うようにしている。

次に、第4図を用いてキャッシュ動作およびキャッシュ動作の抑止について詳細に説明する。

第4図において、④は、アドレス情報取得する。これは、第3図フローチャートによってメインメモリ1にロードしたタスクを起動し、実行時におけるメインメモリ1へのアクセスのアドレス情報を取得する。

④は、キャッシュ制御フラグ2がON領域否かを判別する。これは、第1図構成の場合には、タスクがアクセスしたメインメモリ1の領域(空間)のキャッシュ制御フラグ2がONか否かを判別する。第2図構成の場合には、タスクがアクセスしたメインメモリ1の領域(空間)のうちのいずれかのキャッシュメモリ4のウェイのキャッシュ制御フラグ2がONか否かを判別する。YESの場合には、キャッシュ動作を行う。NOの場合には、キャッシュ動作を抑止する。

以上の処理によって、第1図構成のもとで、タ

するときに、キャッシュ制御フラグ2をONにする許容する組合せを予め設定したテーブルである。例えば第2図構成は、第5図④の組合せであって、

4ウェイ:1組

2ウェイ:1組

1ダイレクト(ウェイ):2組

としている。ここで、1ダイレクト(ウェイ)は、リード時にミスヒットしたとき、メインメモリ1からリードしたデータをキャッシュメモリ4の当該ウェイに直接に書き込む。2、4ウェイの場合には、一番古いデータを更新する。

#### (発明の効果)

以上説明したように、本発明によれば、タスクが使用する領域(空間)毎にキャッシュ制御フラグ2を設けてON/OFF設定してキャッシュ動作を行う、抑止する構成を採用しているため、マルチタスクシステムにおいて、リアルタイム処理などの高速処理の必要性の高いタスクについてキャッシュメモリ4を優先的に使用して高速処理を

スクがアクセスしたメインメモリ1の領域(空間)のキャッシュ制御フラグ2がONのときにキャッシュ動作を行い、OFFのときにキャッシュ動作を抑止することにより、リアルタイム処理などの優先レベルの高いタスクについてキャッシュメモリ4を優先的に使用して高速に処理を行うことが可能となる。また、第2図構成のもとで、タスクがアクセスしたメインメモリ1の領域(空間)について、キャッシュメモリ4のウェイのキャッシュ制御フラグ2がONのときに当該ウェイに対してキャッシュ動作を行い、OFFのウェイにキャッシュ動作を抑止することにより、リアルタイム処理などの優先レベルの高いタスクについてキャッシュメモリ4のウェイを優先的に使用して高速に処理を行うことが可能となる。

第5図は、本発明に係るウェイ許容割り当てテーブル例を示す。これは、第2図に示すようにキャッシュメモリ4を4ウェイとし、これらの4ウェイに対応づけてキャッシュ制御フラグ2をそれぞれ設け、キャッシュを行う/キャッシュを抑止

行うことができる。これにより、高速処理の必要性の高いリアルタイム処理や、高速処理の必要性がそれほどないバッチ処理をマルチタスクシステムで行う場合に、システム全体の処理のバランスを最適化することが可能となる。

#### 4. 図面の簡単な説明

第1図は本発明の1実施例構成図

第2図は本発明の他の実施例構成図

第3図は本発明の動作説明フローチャート(キャッシュ制御フラグのセット)

第4図は本発明の動作説明フローチャート(キャッシュ動作/抑止)

第5図は本発明に係るウェイ許容割り当てテーブル例を示す。

図中、1:メインメモリ

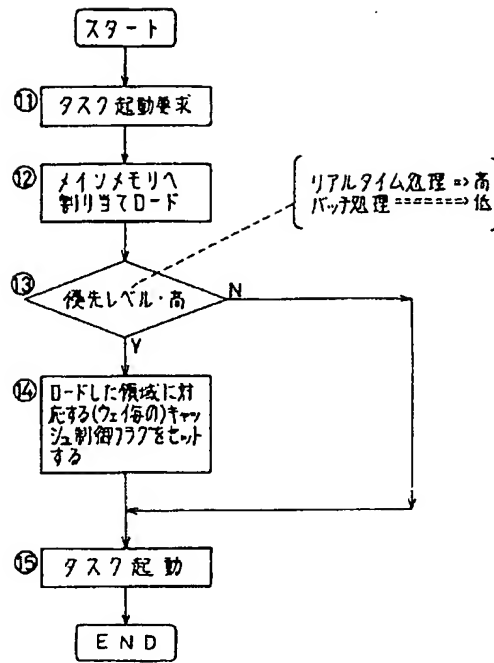
2:キャッシュ制御フラグ

3:キャッシュコントローラ

4:キャッシュメモリ

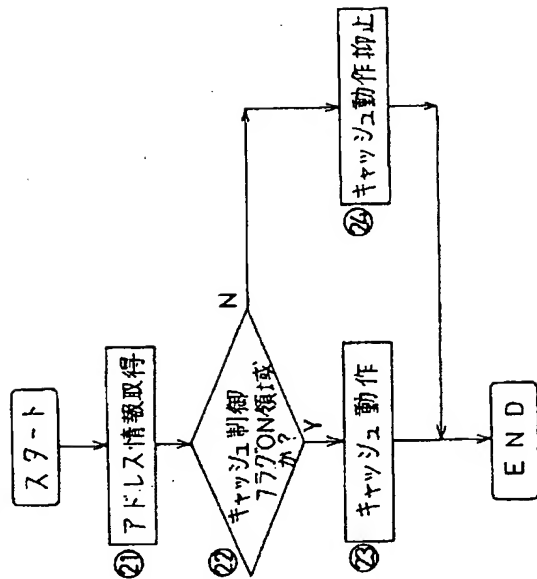


BEST AVAILABLE COPY



本発明の動作説明フローチャート  
(キャッシュ制御フラグのヒット)

第 3 図



本発明の動作説明フローチャート(キャッシュ動作/抑制)

第 4 図

|                         |
|-------------------------|
| 4ウェイト×2                 |
| 4ウェイト×1.2ウェイト×2         |
| 4ウェイト×1.2ウェイト×1.7ウェイト×2 |
| 4ウェイト×1.7ウェイト×4         |
| 2ウェイト×2.7ウェイト×4         |
| 2ウェイト×1.7ウェイト×6         |

①

本発明に係るウェイト許容割り当てテーブル例

第 5 図